

Projeto APSE

Prof. Philippe O. A. Navaux

Rafael dos Santos, Tatiana dos Santos, Maurício Lima Pilla,

Guilherme D. Pizzol, Ronaldo L. Gonçalves

Instituto de Informática UFRGS

Caixa Postal 15064 - 91501-970 Porto Alegre

E-mail: navaux@inf.ufrgs.br

<http://www.gppd.inf.ufrgs.br/projects/apse>

Atualmente, os processadores de uso geral, possuem *pipelines* de instruções superescalares. Com isto, apresentam aumentos de desempenho em relação a arquiteturas escalares, devido à exploração do paralelismo no nível de instrução (ILP). Porém, o potencial destas arquiteturas não é aproveitado integralmente devido a três fatores: dependências de controle, dependências de dados e conflitos de recursos. Outro problema que surge nessas arquiteturas é o grande número de ciclos necessários para servir as falhas que ocorrem nos diversos níveis da hierarquia de memória.

O objetivo do projeto APSE é o estudo de mecanismos que diminuam o impacto das dependências de controle e de dados no desempenho das arquiteturas superescalares. Para tanto, são desenvolvidos mecanismos baseados em arquiteturas de múltiplos fluxos (MULFLUX) e arquiteturas de múltiplos processos simultâneos (SEMPRE). Além desses estudos, o projeto APSE se detém ao estudo de questões pertinentes ao desempenho e balanceamento das arquiteturas MULFLUX-I e MULFLUX-II, de forma a minimizar os conflitos de recursos. Outra área abordada é o estudo de mecanismos que possibilitem uma melhora de desempenho da hierarquia de memória, como por exemplo, a pré-busca de dados e instruções.

Os **mecanismos de pré-busca de instruções** aumentam efetivamente o desempenho de *I-caches* e, conseqüentemente, melhoram o desempenho global de arquiteturas que utilizam esse tipo de técnica. Alguns desses mecanismos foram profundamente estudados e avaliados em [7]. Mesmo apresentando alguns problemas, a pré-busca atinge bons resultados. Essa pesquisa deve ser estendida até a pré-busca de dados, bem como a inclusão de mecanismos que reduzem a poluição e tráfego do barramento nos esquemas já implementados.

As **Arquiteturas Superescalares de Múltiplos Fluxos** [2,5,6] utilizam múltiplos fluxos de controle para diminuir as perdas decorrentes das dependências de controle. No modelo de múltiplos fluxos, o estágio de Busca acessa instruções, colocando-as em um *buffer*. Ao detectar uma instrução de desvio, durante a busca um novo fluxo é criado e inicializado, caso haja recursos disponíveis. Para tal, são alocados recursos tanto para o caminho tomado quanto para o não-tomado. A pesquisa relacionada com a arquitetura MULFLUX busca também determinar o impacto do mecanismo de múltiplos fluxos na hierarquia de memória e sugerir alternativas para melhorar o desempenho desta estrutura.

O primeiro estágio de implementação do MULFLUX compreendia as modificações necessárias para que o mecanismo de busca pudesse prover a

infraestrutura necessária para a busca de múltiplos fluxos de instruções. Para o MULFLUX-II, foram estendidas as modificações de tal forma que fosse possível tanto buscar quanto executar em múltiplos fluxos. O grupo APSE tem tomado parte nestas atividades, através da cooperação com a COPPE/UFRJ [2,6].

As **Arquiteturas Superescalares Multithreads** e as **Arquiteturas Superescalares de Threads Simultâneas (SMT)** [4] acrescentam aos processadores superescalares, que exploram o paralelismo no nível de instrução (ILP), a exploração do paralelismo no nível de *threads*. As *threads* podem ser advindas de múltiplos processos em um ambiente multiprogramado ou de um processo *multithreaded*. Além disto, as arquiteturas do tipo SMT implementam, em *hardware*, algumas das tarefas mais usuais em sistemas operacionais, relacionadas à troca de contexto entre *threads* e entre processos. Com isto, aumenta-se o desempenho da execução destas tarefas, o que aumenta também o desempenho global do processador.

A **Arquitetura SEMPRE (SuperEscalar com Múltiplos PRocessos em Execução)** é uma arquitetura *multithread* na qual *threads* de diversos processos podem ser executadas ao mesmo tempo[3]. Como todos os sistemas operacionais disponíveis atualmente executam múltiplos processos normalmente, estes seriam automaticamente beneficiados pela execução na arquitetura SEMPRE. Para suportar a execução simultânea de múltiplos processos, a arquitetura SEMPRE possui, além das múltiplas unidades funcionais, estruturas para a gerência dos fluxos de controle oriundos dos processos. Instruções especializadas em criação, escalonamento, chaveamento e destruição de processos são implementadas em *hardware*, de forma eficiente, contribuindo também para o aumento de desempenho global da arquitetura.

Atualmente, está sendo feita a padronização das **ferramentas de simulação** do projeto APSE, através do SimpleScalar. O SimpleScalar é um simulador de arquiteturas superescalares desenvolvido na Universidade de Wisconsin[1]. É um simulador totalmente parametrizado, utilizado amplamente na pesquisa de técnicas para processadores superescalares. A modificação do mesmo para pesquisar tanto a arquitetura MULFLUX-II como a arquitetura SEMPRE, além de esquemas de hierarquia de memória permite a comparação com os resultados obtidos através do SimpleScalar, estabelecendo um importante parâmetro de comparação com os trabalhos desenvolvidos em outros grupos de pesquisa.

Referências

- 1.AUSTIN, Todd M.; BURGER, Doug. **The SimpleScalar tool set, version 2.0**. [S.l.]:University of Wisconsin-Madison/Computer Sciences Department, 1997. (1342).
- 2.CHAVES FILHO, Eliseu M. et al. MULFLUX: a microarchitecture with multiple flows of control. In: PROTEM-CC-PHASE I PROJECTS: INTERNATIONAL EVALUATION, 1999, Brasília. **Anais...** CNPq, 1999. p.149-176.
- 3.GONÇALVES, Ronaldo A. L.; NAVAUX, Philippe O. A. SEMPRE: uma arquitetura superescalar com múltiplos processos em execução. In: SIMPÓSIO BRASILEIRO DE ARQUITETURA DE COMPUTADORES E PROCESSAMENTO DE ALTO DESEMPENHO, 10., 1998, Búzios. **Anais...** Rio de Janeiro: COPPE/UFRJ, 1998. p.257-266.
- 4.EGGERS, Susan J.; et al. Simultaneous multithreading: a platform for next-generation processors. **IEEE Micro**, v.17, n.5, set. 1997.

-
- 5.SANTOS, Rafael R. dos; NAVAUX, Philippe O. A. **Mecanismo de busca especulativa de múltiplos fluxos de instruções**. Porto Alegre: [s.n.], 1997. Dissertação de Mestrado.
 - 6.SANTOS, Rafael R. dos; NAVAUX, Philippe O. A. Analysing a multistreamed superscalar speculative instruction fetch mechanism. In: INTERNATIONAL EURO-PAR CONFERENCE ON PARALLEL PROCESSING, 1998, Southampton. **Anais...** Berlin: Springer-Verlag, 1998. p.1010-1017.
 - 7.SANTOS, Tatiana G. S. dos; BAMPI, Sergio. **Análise do comportamento de mecanismos de pré-busca em memórias hierárquicas de microprocessadores RISC superescalares**. Porto Alegre: [s.n.], 2000. Dissertação de Mestrado.