

Previsão de Desvios em Arquiteturas Multi-Tarefas Simultâneas

Guilherme Dal Pizzol, Phillipe O. A. Navaux

Instituto de Informática - UFRGS
Av. Bento Gonçalves 9500, Bloco IV
Porto Alegre, RS
{gpizzol,navaux}@inf.ufrgs.br

Resumo

Técnicas de previsão de desvios são utilizadas para diminuir o impacto causado pelas dependências de dados em arquiteturas superescalares. Essas mesmas técnicas de previsão de desvios são utilizadas nas arquiteturas SMT (*Simultaneous MultiThreaded*), porém, pouco estudo foi desenvolvido na área de previsão de desvios em arquiteturas SMT. Em uma arquitetura SMT, o comportamento de diferentes previsores de desvios pode ser alterado devido à interferência que uma *thread* pode causar nas outras que estão sendo executadas simultaneamente. Assim, esse trabalho investigará mais detalhes do funcionamento de diferentes técnicas e implementações de previsores de desvios em arquiteturas SMT.

Palavras-chave

Previsão de desvios, Arquiteturas SMT.

Introdução

Atualmente, o *software* está cada vez mais utilizando múltiplos processos e *threads*, surgindo então, novas possibilidades de extração de paralelismo. Surge, então, a possibilidade de extrair paralelismo *intra-thread* (ILP) e *inter-thread* (TLP). O TLP pode ser explorado por máquinas capazes de executar mais de uma *thread* (processo) simultaneamente.

Atualmente, as arquiteturas SMT (multi-tarefas simultâneas) [TUL 95] têm sido uma alternativa eficiente para a exploração de TLP, já que podem executar instruções de diferentes fluxos simultaneamente.

Ao combinar características de arquiteturas multi-tarefas e superescalares, as arquiteturas SMT podem tanto se beneficiar da busca/despacho/execução de múltiplas instruções por ciclo das modernas arquiteturas superescalares, assim como da habilidade de esconder longas latências das arquiteturas multi-tarefas.

Por outro lado, se as arquiteturas SMT podem se beneficiar das características das arquiteturas superescalares, elas também acabam herdando limitações inerentes a essas arquiteturas. Um bom exemplo, é a limitação de ILP disponível em única tarefa

(arquiteturas superescalares) devido às dependências de dados. Para tentar sobrepor essa limitação, uma técnica, que é amplamente utilizada nos processadores superescalares atuais, é a previsão de desvios. Essas mesmas técnicas de previsão de desvios são utilizadas nas arquiteturas SMT, porém, em uma arquitetura SMT, o comportamento de diferentes previsores de desvios pode ser alterado devido à interferência que uma *thread* pode causar nas outras que estão sendo executadas simultaneamente

Trabalhos Prévios

Gonçalves, em [GON 01], como parte de sua Tese de Doutorado, desenvolveu um simulador SMT a partir da ferramenta SimpleScalar [BUR 97]. Nesse simulador foi desenvolvido um mecanismo de previsão com taxa de acerto de direção (tomado/não-tomado) variável. Gonçalves chegou a duas conclusões com esse estudo. Primeiramente, em arquiteturas SMT com pouco *hardware* disponível e, independentemente do número de *threads*, a taxa de acerto da previsão não influencia muito no desempenho final da arquitetura, em termos de instruções por ciclo (IPC). Já quando a quantidade de *hardware* disponível é maior, o *speedup* do desempenho (IPC) acompanha tanto o aumento do *hardware* quanto da taxa de acerto do previsor.

Objetivos

O objetivo deste trabalho é dar continuidade ao trabalho desenvolvido por Gonçalves, conforme descrito acima. Assim, esse trabalho investigará mais detalhes do funcionamento de diferentes técnicas e implementações de previsores de desvios em arquiteturas SMT.

Para isso será estudado o impacto no desempenho dessas arquiteturas relativo a diferentes taxas de acerto do alvo de um desvio, além do efeito de múltiplos contextos no desempenho do previsor de desvio;

Com os resultados obtidos por Gonçalves e com aqueles que serão obtidos com os estudos acima, espera-se obter os seguintes resultados, entre outros: Uma avaliação abrangente a respeito de previsão de desvios em arquiteturas SMT; sua importância, a validade e viabilidade de complexos previsores em arquiteturas SMT com diferentes números de tarefas e, finalmente, o conjunto de aplicações que podem se beneficiar com diferentes previsores em arquiteturas SMT.

Referências

- [BUR 97] BURGER, D.; AUSTIN, T. M. **The SimpleScalar Tool Set**: Version 2.0. Madison: University of Wisconsin, 1997. (Technical Report, n.1342).
- [GON 01] GONÇALVES, R. A. L. **Arquiteturas Multi-Tarefas Simultâneas: SEMPRE** – Arquitetura SMT com Capacidade de Execução e Escalonamento de Processos. Tese de Doutorado. PPGC da UFRGS, 2001.
- [TUL 95] TULLSEN, D. M. et al. **Simultaneous Multithreading: Maximizing On-Chip Parallelism**. In: ISCA, 22., 1995, Santa Margherita Ligure, Italy. 1995.