

## Construção de um *cluster* utilizando dispositivos de lógica reconfigurável

Josué Paulo José de Freitas, Alexandra da Costa Pinto de Aguiar, Cristiano Bonato Both, Márcio Kreutz, Tatiana Gadelha dos Santos, João Carlos Furtado, Rolf Fredi Molz, Rafael Ramos dos Santos

UNISC – Universidade de Santa Cruz do Sul  
Avenida Independência, 2293, (51) 3717-7300, (51) 3717-1855

josue.freitas@gmail.com, xanda.aguiar@gmail.com, cboth@inf.pucrs.br, kreutz@inf.ufgrs.br, tatiana@inf.ufgrs.br, jcarlosf@unisc.br, rolf@unisc.br, rsantos@unisc.br

### Introdução

Agregados de computadores (*clusters*) têm sido objeto de muitos estudos já há alguns anos. Mais recentemente, os agregados de computadores estão mais difundidos sobretudo devido ao advento das redes de alta velocidade, redução do custo dos processadores e memória e existência/disponibilidade de software livre e aberto.

Agregados de computadores são construídos, geralmente, tendo como base computadores pessoais (PCs) ou *workstations* por apresentarem um baixo custo de manutenção, um alto grau de configurabilidade e um dos menores custos por Mflops (milhões de instruções de ponto flutuante por segundo), em relação as demais arquiteturas paralelas [DER 03]. Porém, computadores pessoais são projetados para obterem um desempenho médio eficiente em uma vasta gama de aplicações. Assim, em geral, não possuem dispositivos otimizados para a execução de aplicações mais específicas.

Algumas aplicações requerem apenas um sub-conjunto das capacidades e funções oferecidas pelos agregados de computadores convencionais. Apesar disso, podem também necessitar funções específicas nem sempre disponíveis nestes equipamentos. Os sistemas para controle de processos industriais são um exemplo desse tipo de aplicação, através do tratamento e gerenciamento de sensores e monitores.

Uma característica interessante de um agregado de processadores reconfiguráveis está no fato de que cada nodo pode ser configurado para operar eficientemente de acordo com a aplicação executada no momento. Um nodo reconfigurável não é projetado para executar aplicações com características diferentes em modo tipo *time-sharing*. Os nodos são configurados para executar uma aplicação por vez. Além disso, pelo fato de se aproximarem do hardware mínimo para executar a aplicação, tendem a consumir menos energia e gerar menos calor.

Assim, torna-se possível a construção de um agregado de computadores especializado para cada aplicação enquanto, fisicamente, tem-se na verdade um único conjunto de processadores. É possível ainda otimizar-se o processador de cada nodo de acordo com a aplicação em execução e mover para o hardware somente as funções básicas necessárias para executar cada parte da aplicação.

Em um agregado convencional, não reconfigurável, a execução de qualquer parte da aplicação é feita por software e hardware. Já em um agregado reconfigurável,

algumas partes da aplicação são executadas diretamente e somente em hardware. Isso propicia um aumento de desempenho considerável, já que as camadas de software são reduzidas drasticamente.

Mecanismos existentes de troca de mensagens e sincronização, necessários para a distribuição da aplicação, podem ser reutilizados num sistema de agregados reconfiguráveis. Isso pode ser feito, seja utilizando sua implementação original ou, caso necessário, utilizando uma versão modificada capaz de realizar a mesma tarefa em um agregado reconfigurável. Para um melhor desempenho, a pilha de acesso à rede (TCP/IP) pode ser movida para o hardware reconfigurável dos nodos do sistema, diminuindo assim, a latência da troca de mensagens.

## Motivação

Nos últimos anos os dispositivos de lógica programável (FPGAs) tornaram-se uma interessante opção para o processamento de informações. Dentre as vantagens da utilização destes dispositivos destacam-se a capacidade de customização para problemas específicos e o processamento espacial que difere do processamento temporal utilizado nos processadores de propósito geral [DEH 99].

A implementação de Máquinas Computacionalmente Customizáveis (CCMs, *Custom Computing Machines*) faz uso da lógica programável para executar algoritmos, ao invés de compilá-los para um arquitetura específica [TEI 02]. Desta maneira, aplicações baseadas em FPGAs podem apresentar um alto nível de flexibilidade juntamente com um desempenho superior às concebidas para dispositivos de propósito geral [DEH 99].

## Objetivo

O objetivo geral deste trabalho está na concepção e avaliação de um modelo de agregado de computadores reconfiguráveis. Isso está sendo feito através da integração de diferentes técnicas de processamento paralelo e distribuído, concepção de sistemas embarcados, *System-on-chip* (SoCs) e redes de computadores.

Como produto final ter-se-á o projeto e avaliação de desempenho de um agregado de computadores reconfiguráveis. O projeto compreende a especificação e simulação de um agregado com estas características enquanto a avaliação de desempenho compreende a simulação com cargas de trabalho realísticas que permitam uma análise aproximada do desempenho possível de ser obtido através do emprego do sistema na resolução de problemas específicos que requerem alto desempenho a um custo reduzido.

Em agregados convencionais, o processador é configurado pelo fabricante para executar diversas funções que nem sempre são utilizadas por determinada aplicação. Ao contrário desse tipo de agregado, em um agregado reconfigurável é possível dimensionar o hardware de acordo com a aplicação. Somente o hardware necessário é implementado, podendo ainda ser otimizado. Isso representa um ganho, pois é necessário investir somente nos recursos que serão utilizados pela aplicação, reduzindo o custo total do agregado e mantendo-se o alto desempenho desejado.

## Metodologia

O conjunto de ferramentas Sashimi está sendo utilizado para a geração em *hardware* da aplicação. O Sashimi é um ambiente voltado para síntese de microcontroladores especificados na linguagem Java [SAS 01].

Uma característica importante do ambiente Sashimi trata-se da possibilidade de extração automática de um subconjunto de instruções Java necessárias para implementação de uma aplicação e geração de um microcontrolador adaptado. Este microcontrolador, denominado FemtoJava, possui um conjunto de instruções específicas para uma determinada aplicação, utilizando assim uma quantidade mais reduzida de elementos lógicos de um FPGA, além de ser compatível com a especificação da máquina virtual Java [LIN 97].

Para integrar um núcleo de aplicação e um núcleo de comunicação dentro de um FPGA foi realizado um estudo dos protocolos de comunicação entre núcleos. Dentre os protocolos analisados escolheu-se o protocolo Wishbone, pois trata-se de um padrão aberto de comunicação entre núcleos dentro de dispositivos reconfiguráveis FPGAs.

O núcleo de comunicação utilizado nesta primeira fase será uma pilha TCP/IP descrita na linguagem de descrição de hardware Verilog. Este núcleo é compatível com o padrão de interconexão de núcleos Wishbone e implementa todas as camadas do modelo OSI, com exceção da camada de aplicação, que é representada pelo microcontrolador FemtoJava, e da camada física, já implementada na placa de prototipação FPGA através de um ASIC.

## Aplicação

Alguns fármacos têm a propriedade de reduzir a pressão atuando na resistência periférica e/ou no débito cardíaco, conhecido como anti-hipertensivos [LEA 01]. Os comprimidos de hidroclorotiazida (princípio ativo 6-cloro-3,4-diidro-2H-1,2,4-benzotiodiazina-7-sulfonamida-1,1-dióxido) devem conter, no mínimo, 93% e, no máximo, 107% da quantidade de hidroclorotiazida declarada [HAR 98]. O doseamento é realizado através da técnica de espectrofotometria no ultravioleta e por cromatografia líquida de alta eficiência [FAR 88]. Por ser um problema de natureza linear discreta, a obtenção de soluções de qualidade é frequentemente alcançada através de algoritmos heurísticos.

Técnicas computacionais heurísticas, como os *genetic algorithms* (GA), o *simulated annealing* (SA) e a *tabu search* (TS), vêm sendo cada vez mais empregadas na seleção de variáveis (comprimentos de onda), buscando otimizar os modelos de regressão, tornando-os mais robustos [LEA 01].

Algoritmo genético foi considerado a técnica que melhor se adaptou ao problema [BRU 04]. Para alcançar seus resultados, os algoritmos genéticos incorporam uma solução potencial para um problema específico. É utilizada uma estrutura semelhante à de um cromossomo e aplicados operadores de seleção, *crossover* e mutação a essas estruturas de forma a preservar informações essenciais relativas à solução do problema.

De acordo com a representação dos dados, podemos definir que o comprimento dos indivíduos é igual ao número de comprimentos de onda (variáveis) do conjunto inicial. São definidos também o tamanho da população (quantidade de indivíduos), tamanho de indivíduo (quantidade de variáveis selecionadas), taxa de seleção, taxa de mutação e número de iterações. Cada gene de um indivíduo corresponde aos valores de

absorção de todas amostras para um determinado comprimento de onda.

Esta aplicação está sendo distribuída de maneira a diminuir a maior carga computacional que está na fase de análise dos indivíduos. Um nodo mestre terá a função de coordenar a distribuição de indivíduos, para que cada uma das fases seja executada respeitando a iteração atual. Pretende-se assim, diminuir o tempo de processamento aproveitando o paralelismo inerente a essa fase da aplicação.

## Conclusão

Conforme os estudos realizados até o momento é possível concluir que dispositivos baseados em lógica reconfiguráveis podem representar uma alternativa interessante para problemas específicos que demandam certo poder de processamento. É válido destacar ainda que a concepção do agregado de dispositivos reconfiguráveis permitirá uma maior expansão no número de pesquisas relacionadas a agregados reconfiguráveis bem como um maior poder de processamento.

## Referências

- [DER 03]: De Rose, A. F. César; Navaux, Philippe O. A.: **Arquiteturas Paralelas**, p. 130-132
- [TEI 02]: Teixeira, Marco Antônio: **Técnicas de reconfigurabilidade dos FPGAs da família APEX 20K** – Altera, Dissertação de Mestrado
- [DEH 99]: Dehon, A.; Wawrzynnek, J., **Reconfigurable Computing: What, Why, and Design Automation Requirements?**, in Proceedings of the 1999 Design Automation Conference, pp. 610-615, June 1999
- [ITO 00]: Ito, Sérgio Akira: **Projeto de Aplicações Específicas com Microcontroladores Java Dedicados**. Master thesis, Universidade Federal do Rio Grande do Sul, Porto Alegre, Brasil, 2000.
- [SAS 01]: **Sashimi: Manual do usuário**, 2001
- [LIN 97]: T. Lindholm and F. Yellin. **The Java Virtual Machine Specification**. TheJava Series. Addison- Wesley, Reading, 1997.
- [LEA 01]: LEARDI, R. – **Journal of Chemometrics**, 15, 559-569, 2001.
- [KON 02]: Pedro. H. A. et al. **Emprego do Algoritmo Busca Tabu na Determinação de Princípios Ativos em Fármacos** – UNISC, 2002.
- [BAR 00]: João Carlos Holland de. **Algoritmos Genéticos Adaptativos: Um estudo Comparativo**. Dissertação – USP, 2000.
- [BRU 04]: BRUXEL Jr., V., KONZEN, P. H. A. **Pesquisa, Otimização e Transferência de Processos Fermentativos para a Produção de Produtos Cárneos** - UNISC, 2001-2004.
- [HAR 98]: HARVEY, R. A.; CHAMPE, P. C. **Farmacologia Ilustrada**. 2.ed. Porto Alegre: Artmed, 1998. 478p.
- [FAR 88]: **FARMACOPÉIA Brasileira**. 4.ed. São Paulo: Atheneu, 1988. p. 33,47.