Estudo e Projeto de Arquiteturas de Comunicação *Intra-Chip* para Processadores *Multi-Core*

Henrique Cota de Freitas, Philippe Olivier Alexandre Navaux

Grupo de Processamento Paralelo e Distribuído
Programa de Pós-Graduação em Computação
Universidade Federal do Rio Grande do Sul
Av. Bento Gonçalves, 9500, Bloco IV, Porto Alegre, RS
{hcfreitas, navaux}@inf.ufrgs.br

Resumo

Este artigo aborda o estudo e projeto de arquiteturas de comunicação *intra-chip* responsáveis por suportar o tráfego de pacotes de dados entre os diversos núcleos de um *chip*. Atualmente, projetos de processadores com vários núcleos em um único *chip* têm sido alvo de pesquisadores em universidades e empresas. Uma das tendências de projeto é diminuir a complexidade de cada núcleo de processamento, aumentando a quantidade destes núcleos dentro do *chip*. Neste novo contexto, um dos principais problemas passa a ser a rede de comunicação entre estes núcleos, que deve suportar uma alta demanda de comunicação, com alto desempenho para aplicações paralelas e distribuídas.

Palavras-chave

Network-on-Chip, *Chip Multiprocessor*, Suporte ao Paralelismo de Aplicações.

Introdução

Uma das formas para aumentar o desempenho em processadores está no número de núcleos presentes em sua organização interna. Alguns projetos comerciais de CMPs (*Chip Multiprocessors*) podem ser encontrados atualmente no mercado. Projetos da Intel [INT 06] e AMD [AMD 05] priorizam arquiteturas *multi-core*, através de seus primeiros processadores *dual-core* interconectados, respectivamente, por barramentos e chave *crossbar*. A SUN [KON 05] além da solução *dual-core*, já possui uma solução *multi-core* com oito núcleos e uma chave *crossbar* para interconexão.

No entanto, as arquiteturas *multi-core* devem rapidamente passar de soluções com dois, quatro e oito processadores para um número bem maior. Soluções simples de interconexões serão insuficientes, pois não irão suportar a demanda por paralelismo. O número de comunicações internas irá crescer e uma rede de comunicação de dados interna ao *chip* (*Network-on-Chip* - NoC) [BEN 05] também será necessária.

O objetivo deste artigo é apresentar o estágio atual dos estudos em relação a SoCIN (*System-on-Chip Interconection Network*) [ZEF 04] e do projeto do RANoC (*Router Architecture Network-on-Chip*). Implementações em FPGA (*Field Programmable Gate Array*) (Figura 1.a) verificaram que a SoCIN sob uma carga de trabalho paralela (modelo de programação mestre / escravo) atingiu um ganho máximo

de desempenho de aproximadamente 7 vezes em relação a uma alternativa com barramento e memória compartilhada [FRE 07].

O projeto da arquitetura RANoC (Figura 1.b) está em desenvolvimento e possui até o momento os resultados referentes ao projeto e simulação da arquitetura interna do processador de rede (NP: *Network Processor*) [FRE 06].

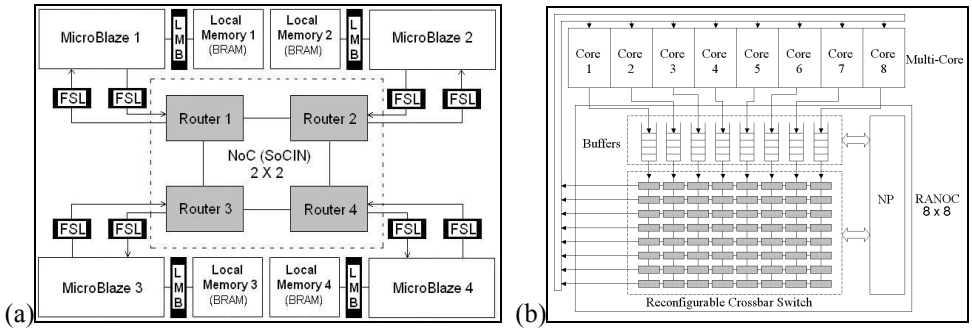

Figura 1. Arquiteturas de comunicação *intra-chip*: (a) SoCIN em CMP implementado no FPGA (um roteador por núcleo). (b) RANoC (um roteador para oito núcleos)

Conclusões

Os resultados têm mostrado a eficiência da SoCIN em relação ao modelo de memória compartilhada sob uma carga tipicamente paralela. A implementação da SoCIN em FPGA também mostra que a área ocupada é pequena (aproximadamente 7% de todo o FPGA) para protótipo implementado com quatro processadores (Figura 1.a). O projeto do processador de rede para o RANoC foi verificado através de simulações, e já estão sendo realizados estudos para comparações entre os roteadores de uma *network-on-chip* tradicional (SoCIN) e roteadores baseados no RANoC. Entre os trabalhos futuros está a comparação da SoCIN com uma NoC baseada em RANoCs.

Referências

[AMD 05] AMD, Inc., *The AMD Opteron Processor for Servers and Workstations*, AMD Opteron Processor Overview, 2005.

[BEN 05] Benini, L., Micheli, G. D., *Network-on-chip architectures and design methods*, *IEE Proceedings Computers & Digital Techniques,* v.152, Issue 2, pp.261-272, March 2005.

[FRE 06] Freitas, H. C., Wagner, F. R., Navaux, P. O. A., Martins, C. A. P. S., *Projeto de um Processador de Rede Intra-Chip para Controle de Comunicação entre Múltiplos Cores*, Workshop em Sistemas Computacionais de Alto Desempenho, Ouro Preto, Minas Gerais, pp. 3-10, 2006.

[FRE 07] Freitas, H. C., Colombo, D. M., Kastensmidt, F. G. L., Navaux, P. O. A., *Evaluating Network-on-Chip for Homogeneous CMP using FPGA Platform*, Artigo submetido ao International Symposium on Circuits and Systems, 2007.

[INT 06] Intel, *IA-32 Intel Architecture Software Developer's Manual, Volume 1: Basic Architecture*, March 2006.

[KON 05] Kongetira, P., et al., *Niagara: a 32-way multithreaded Sparc processor*, IEEE MICRO, Volume 25, Issue 2, pp.21-29, March-April 2005.

[ZEF 04] Zeferino, C. A., Santo, F. G. M. E. and Susin, A. A., *ParIS: A Parameterizable Interconnected Switch of Networks-on-Chip*, ACM/IEEE Symposium on Integrated Circuits and Systems Design, pp. 204-209, 2004