

Reuso de Valores na Arquitetura ARM*

Rodrigo Costa de Moura, Giovane Torres,[†] Maurício Lima Pilla

Programa de Pós-Graduação em Computação – Universidade Federal de Pelotas
Campus Porto – Rua Gomes Carneiro, 1 – Pelotas – RS – Brasil

{rcmoura, gdotorres, pilla}@inf.ufpel.edu.br

Resumo. *Reuso de Valores é uma técnica que explora a redundância de execução, reaproveitando sequências de execuções recorrentes para que estas não sejam re-executadas. O uso dessa técnica reduz as instruções executadas, trazendo ganho de desempenho e redução de consumo, importantes para dispositivos móveis. Assim, este trabalho apresenta uma proposta de exploração de reuso especulativo em ARM.*

1. Introdução

A cada momento *softwares* mais robustos são desenvolvidos. O constante aumento da necessidade de processamento faz com que os projetos computacionais fiquem cada vez mais complexos. Como grande parte das aplicações são de uso geral, desenvolver *hardware* dedicado muitas vezes é inviável. Paralelamente ao aumento do poder computacional, acontece o aumento do consumo de energia. Assim, desenvolveram-se técnicas que visam atender a demanda por alto poder de processamento e que reduzam o consumo de energia. Neste trabalho, é proposto o estudo de um mecanismo de Reuso e Previsão de valores na arquitetura ARM, visando explorar o paralelismo em nível de instrução (ILP).

2. Reuso e Previsão de Valores

O Reuso de Valores é uma técnica que explora a redundância de execução, reaproveitando sequências de execuções recorrentes [Pilla 2004]. É uma técnica não especulativa, isto é, trabalha apenas valores com conhecidos. Conforme a execução da computação acontece, as entradas e saídas são armazenadas em uma tabela indexada, para posterior consulta. Na próxima vez que essa computação for executada, suas entradas serão comparadas com as entradas da tabela. Caso sejam iguais, o valores de saída armazenados na tabela são copiados diretamente para os registradores de saída.

Dessa forma, alguns dos estágios do *pipeline* não são utilizados durante o reuso, causando uma importante economia de recursos. Dentre as abordagens que utilizam reuso de valores, a diferença básica entre elas está na granularidade [Pilla 2004], como reuso de instruções, de blocos básicos ou de traços de instruções. Como vantagens das técnicas de reuso destacam-se a economia de recursos, pois instruções reusadas não precisam ser executadas; resultados ficam disponíveis mais cedo; e as dependências de dados são reduzidas, pois instruções dependentes podem ser executadas em paralelo.

A Previsão de Valores é uma técnica especulativa que visa aumentar o desempenho de processadores antecipando a execução das próximas computações, aproveitando-se da

*Projetos PRONEX/FAPERGS/CNPq GREEN-GRID Computação de Alto Desempenho Sustentável.

[†]Bolsista FAPERGS PIBIC

redundância de instruções [Pilla 2004]. Consiste em prever os valores de entrada das próximas computações baseado nos valores das execuções anteriores. Com isso é possível que uma execução aconteça antes que os operandos, ou parte deles, estejam disponíveis.

Outra estratégia que pode ser adotada é a combinação das técnicas de Reuso e Previsão de valores. Em [Pilla 2004] foi proposto um mecanismo de reuso especulativo denominado *Reuse through Speculation on Traces* (RST). Na arquitetura RST o reuso é feito em uma granularidade mais alta, no nível de traços, que são sequências dinâmicas de instruções. Dessa forma, o mecanismo tenta utilizar várias instruções de uma só vez. Adicionalmente, os operandos que formam os traços podem ser especulados, aumentando assim o tamanho médio e a quantidade de traços que podem ser reusados.

3. Proposta

Processadores ARM estão presentes na maior parte dos dispositivos portáteis [Ryzhyk 2006]. Seu objetivo é o baixo consumo de energia, porém, as aplicações para dispositivos móveis exigem cada vez mais poder de processamento. Assim, a proposta desse trabalho é prover um mecanismo de Reuso Especulativo para a arquitetura ARM, visando o aumento de desempenho e economia de recursos.

Neste trabalho é proposta a exploração de reuso especulativo no nível de traços. O reuso de traços permite que instruções individuais que formam os traços não sejam re-executadas [Pilla 2004]. Assim, o objetivo inicial deste trabalho é identificar os traços e seus contextos de entrada e saída. Para isso, será feita a execução de *benchmarks* sobre a arquitetura ARM. Após a análise dos resultados, será feita a identificação da redundância existente, para quantificar o potencial de ganho com o uso das técnicas de reuso.

Como segundo passo, este trabalho propõe modificar um simulador da arquitetura ARM para que este passe e prover um mecanismo de reuso. O objetivo é testar as diferenças de desempenho com as técnicas de reuso e previsão de valores, bem como a combinação delas, em um mecanismo de reuso especulativo [Pilla et al. 2007].

Um dos principais desafios em implementar reuso para arquiteturas ARM está relacionado à execução condicional de instruções. No conjunto de instruções ARM, estas podem ser executadas condicionalmente ou não dependendo de um predicado e o estado dos bits de condição quando do momento de execução. Desta forma, a criação de traços e o teste de reuso devem ser modificados para identificar quais condições fazem parte do contexto de entrada de um traço, o que será abordado nesse trabalho.

Referências

- González, A., Tubella, J., and Molina, C. (1999). Trace-level reuse. In *ICPP*, pages 30–.
- Laurino, L. S., Pilla, M. L., dos Santos, T. S. G., and Navaux, P. O. A. (2005). Reuso de traços com loads em arquiteturas superescalares. *WSCAD*.
- Pilla, M. L. (2004). *RST: Reuse through Speculation on Traces*. Phd thesis, Universidade Federal do Rio Grande do Sul, Porto Alegre, RS.
- Pilla, M. L., Childers, B. R., França, F. M. G., da Costa, A. T., and Navaux, P. O. A. (2007). Limits for a feasible speculative trace reuse implementation. *IJHPSA*, 1(1):69–76.
- Ryzhyk, L. (2006). The arm architecture. The University of New South Wales.