

Uma análise da eficiência de estratégias de algoritmos de escalonamento de listas em memórias PCM*

Rodolfo Migon Favaretto,[†] Felipe L. Teixeira, Gerson Geraldo H. Cavalleiro, Maurício Lima Pilla

Programa de Pós-Graduação em Computação
Centro de Desenvolvimento Tecnológico – Universidade Federal de Pelotas (UFPel)
Campus Porto – Rua Gomes Carneiro, 1 – 96010-610 – Pelotas – RS – Brazil

{rmfavaretto, flteixeira, gerson.cavalleiro, pilla}@inf.ufpel.edu.br

Resumo. Neste trabalho, busca-se analisar o uso de algoritmos de escalonamento de listas em nível aplicativo na exploração de arquiteturas híbridas, envolvendo memórias DRAM e PCM, com o intuito de obter benefícios de ambas as tecnologias. Através de ferramentas de simulação, diversas estratégias de escalonamento serão analisadas considerando a velocidade de processamento, o consumo de energia e a durabilidade do sistema computacional.

1. Introdução

Com o objetivo de reduzir o consumo de energia dissipada na memória principal de sistemas computacionais e aumentar a velocidade de acesso a dados, diversos grupos de pesquisa vêm buscando uma tecnologia de memória não-volátil com desempenho superior à memória DRAM (*Dynamic Random-Access Memory*), a tecnologia de memória mais utilizada hoje. As memórias de mudança de fase – PCM (*Phase-Change Memory*) surgiram como uma alternativa promissora na hierarquia de memórias, pois trazem uma série de benefícios em termos de consumo energético e desempenho em relação às DRAMs quando exploradas de maneira eficiente pelos programas.

Destes benefícios destaca-se o fato da memória PCM possuir consumo energético reduzido por não necessitar de fluxo constante de energia para manter o armazenamento dos dados e por permitir maior velocidade na execução de operações de leitura. Além dessas vantagens, as PCMs serão mais escaláveis do que as DRAMs [Bock et al. 2011].

No entanto, as memórias PCMs possuem dois pontos fracos críticos para substituir as DRAMs em sua totalidade [Lee et al. 2011]. Em primeiro lugar, o número de operações de escrita permitido em cada célula PCM é limitada, uma vez que o excesso de escritas em um mesmo endereço de memória compromete sua estrutura material, levando a um desgaste prematuro, reduzindo assim o seu tempo de vida útil [Lee et al. 2010]. Em segundo lugar, o tempo de escrita em uma PCM é cerca de 6-10 vezes mais lenta do que em uma DRAM, [Lee et al. 2011].

A combinação de memórias PCM com memórias RAMs em arquiteturas híbridas permite explorar as características de ambas soluções tecnológicas para melhora do desempenho geral de um sistema computacional.

*FAPERGS/PqG (11/1065-1), PRONEX/FAPERGS/CNPq (10/0042-8)

[†]Bolsista de Mestrado FAPERGS

2. Arquiteturas Híbridas

Usos associados entre DRAM e PCM em sistemas computacionais são propostos na literatura com o intuito de se obter benefícios de ambas as tecnologias. As configurações de arquiteturas híbridas bastante utilizadas que envolvem essas duas tecnologias são: (a) utilizar a memória DRAM como *Cache* e (b) utilizar a memória DRAM como um simples *buffer* de escrita. Essas configurações estão ilustradas na Figura 1, considerando sua implantação em arquiteturas paralelas.

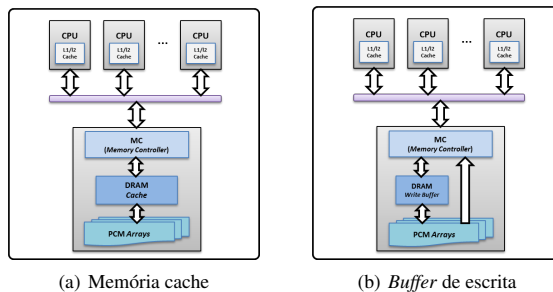


Figura 1. Diferentes configurações de arquiteturas envolvendo DRAM e PCM

Para obter desempenho em tais arquiteturas, o mecanismo de escalonamento de tarefas deve considerar a alocação dos dados em memória. O escalonamento em nível aplicativo distribui as tarefas de um programa concorrente sobre os núcleos de execução para balancear a carga de processamento. Considerando arquiteturas híbridas, a localização dos dados, tanto de entrada quanto saída, também deve ser tratada pelo escalonador. Sendo assim, estratégias de escalonamento podem ser utilizadas para otimizar o desempenho através do escalonamento adequado dos dados nos diferentes tipos de memórias.

3. Proposta do trabalho

Neste trabalho, busca-se analisar o uso de algoritmos de escalonamento de listas em nível aplicativo na exploração de arquiteturas híbridas, envolvendo memórias PCM e DRAM. Para obtenção dos resultados de desempenho serão utilizadas ferramentas de simulação que exploram as características da arquitetura destes tipos de memórias.

Espera-se obter uma análise da eficiência do uso de diferentes estratégias de escalonamento para listas na exploração de memórias PCM associadas a DRAMs, considerando a relação entre consumo de energia, desempenho e durabilidade do sistema.

Referências

- Bock, S., Childers, B., Melhem, R., and Zhang, Y. (2011). Analyzing the impact of useless write-backs on the endurance and energy consumption of pcm main memory. In *IEEE ISPASS*, pages 56–65.
- Lee, B., Zhou, P., Yang, J., Zhang, Y., Zhao, B., and Ipek, E. (2010). Phase-change technology and the future of main memory. *Micro, IEEE*, pages 131–141.
- Lee, S., Bahn, H., and Noh, S. (2011). Characterizing memory write references for efficient management of hybrid pcm and dram memory. In *MASCOTS*, pages 168–175.